

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232633

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H03B 7/14

(21)Application number : 05-037325

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 03.02.1993

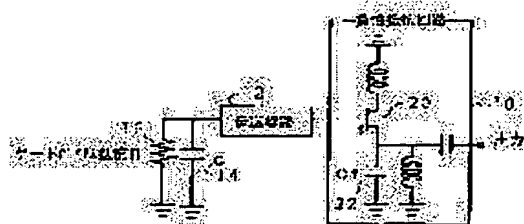
(72)Inventor : SUWAKI HIDEO

(54) THREE-TERMINAL NEGATIVE ELEMENT OSCILLATOR

(57)Abstract:

PURPOSE: To provide a negative resistive element oscillator in which a phase noise is reduced.

CONSTITUTION: In the 3-terminal negative element oscillator having a negative resistance circuit 10 and a resonator connecting thereto, the negative resistance circuit 10 has a field-effect transistor (TR) 20 showing a negative resistance between its gate and ground, the resonator is made up of a transmission line 12 whose length is decided in advance, one terminal of the transmission line 12 connects to the gate and a parallel circuit comprising a capacitance 14 and a resistor 16 is connected between the other terminal of the transmission line and ground.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232633

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁹

H 0 3 B 7/14

識別記号

庁内整理番号

9182-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 4 頁)

(21)出願番号 特願平5-37325

(22)出願日 平成5年(1993)2月3日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 洲脇 秀男

東京都千代田区内幸町一丁目1番6号日本

電信電話株式会社内

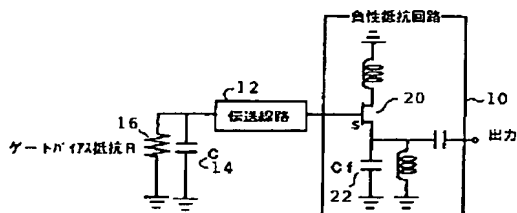
(74)代理人 弁理士 山本 恵一

(54)【発明の名称】 三端子負性素子発振器

(57)【要約】 (修正有)

【目的】 位相雑音を低減した負性抵抗素子発振器を提供することを目的とする。

【構成】 負性抵抗回路10とこれに接続される共振器とを有する三端子負性素子発振器において、前記負性抵抗回路10は、ゲートと接地間に負性抵抗を呈する電界効果トランジスタ20を有し、前記共振器は、予め定められる長さの伝送線路12により構成され、該伝送線路12の一端は前記ゲートに接続され、該伝送線路の他端と接地間に静電容量14と抵抗16の並列回路が接続される。



本発明による負性抵抗素子発振器の実施例

【特許請求の範囲】

【請求項1】 負性抵抗回路とこれに接続される共振器とを有する三端子負性素子発振器において、前記負性抵抗回路は、ゲートと接地間に負性抵抗を呈する電界効果トランジスタを有し、前記共振器は、予じめ定められる長さの伝送線路により構成され、該伝送線路の一端は前記ゲートに接続され、該伝送線路の他端と接地間に静電容量と抵抗の並列回路が接続されることを特徴とする、三端子負性素子発振器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、発振器の低位相雑音化に関するものである。

$$Z = A (\omega L_0 + jR)$$

$$A = \omega R L_0 / (R^2 + \omega^2 L_0^2)$$

$$L_0 = (\omega C Z_0 - 1) / (\omega C Z_0 + \tan \beta L) \cdot Z_0 / \omega$$

ただし、 Z_0 は伝送線路のインピーダンス、 L は伝送線路長、 β は位相定数である。インピーダンス Z を抵抗成分 R_z とリアクタンス成分 L_z で表せば、

$$Z = R_z + j L_z$$

となり、 Q 値は

$$Q = \omega L_z / R_z$$

$$= \omega R / L_0$$

となる。したがって、 Q 値を上げるには、 R はおおきくなければならない。ところで、発振器の位相雑音は、発振器内の能動素子が発生する低周波雑音が能動素子自身の非線形性によってアップコンバージョンされ、発振周波数近傍に側帯波として現われたものである（例えば文献（1）H.J.Siweris and B.Schiek, "Analysis of Noise Upconversion in Microwave FET Oscillators", IEEE, Trans. Microwave Theory and Tech., vol. MTT-33, pp 233-242, March 1983.）。

【0004】また、電界効果トランジスタでは $1/f$ 雑音と呼ばれる低周波雑音の影響が大きく、この雑音はゲートリーク電流に依存する（例えば文献（2）M.D.Das and P.K.Ghosh, "Gate Current Dependence of Low-Frequency Noise in GaAs MESFET'S", IEEE, Electron Device Letters, vol. EDL-2, no. 8, pp210-213, Aug 1981.）。

【0005】したがって、ゲート端子に抵抗を接続すると、ゲートリーク電流により抵抗に $1/f$ 雑音電圧が発生し、抵抗が高いほど位相雑音は大きくなる。このように、ゲートバイアス抵抗 R は高周波では高インピーダンスで、低周波では低インピーダンスであることが必要となる。

【0006】

【発明が解決しようとする課題】本発明は、位相雑音を低減した負性抵抗素子発振器を提供することを目的とする。

*【0002】

【従来の技術】発振器に要求される性能として、位相雑音が低いことが挙げられる。発振器の位相雑音を下げるには、 Q 値の高い部品を使用する必要がある。とくに共振器は高 Q であることが必要である。図4に電界効果トランジスタ20を用い、ゲートと接地点間に負性抵抗を発生する負性抵抗回路10と、一定の長さを持つ伝送線路12で構成された共振器とで構成された負性抵抗形発振器の構成例を示す。電界効果トランジスタではゲートバイアスをかける必要があり、ゲート端子にゲートバイアス抵抗（ R ）16を必要とする。伝送線路12の他端には静電容量（ C ）14が接続される。このときのゲート端子から共振器側を見たインピーダンス Z は、以下のように表せる。

*【0003】

【0007】

【課題を解決するための手段】本発明の特徴は、負性抵抗回路とこれに接続される共振器とを有する三端子負性素子発振器において、前記負性抵抗回路は、ゲートと接地間に負性抵抗を呈する電界効果トランジスタを有し、前記共振器は、予じめ定められる長さの伝送線路により構成され、該伝送線路の一端は前記ゲートに接続され、該伝送線路の他端と接地間に静電容量と抵抗の並列回路が接続される三端子負性素子発振器にある。

【0008】

【作用】ゲートバイアス抵抗 R に要求される特性を満足するため、図1（a）のように伝送線路共振器のゲートに接続されていない端子と接地間に容量と抵抗の並列回路接続することを提案する。

【0009】図1（a）において、共振器12の一端は発振周波数においてゲートバイアス抵抗（ R ）16に比べ十分低いインピーダンスの容量（ C ）14で接地されているため図1（b）と等価となり、 Q 値は高く保たれる。低周波では、容量 C はほぼ開放、共振器は短絡とみなされ図1（c）と等価となる。したがって、低周波に対しては、ゲートバイアス抵抗 R を小さくして $1/f$ 雑音を低減でき、高周波に対して共振器の Q 値を高く保てるので発振器の低位相雑音化が可能である。

【0010】

【実施例】本発明の実施例を図2に示す。電界効果トランジスタ20のドレインに接続した容量（ C_f ）22で帰還をかけることでゲートと接地点間に負性抵抗を発生する。ゲートに伝送線路共振器12を接続し、線路の他端にゲートバイアス抵抗（ R ）16と容量（ C ）14を接続する。

【0011】

50 【発明の効果】図2の回路において、ゲートバイアス抵

抗Rを変えた時の位相雑音低減効果を図3に示す。ゲートバイアス抵抗Rが下がるにつれ位相雑音も下がり、2 K Ω 程度で約6 dBの位相雑音低減効果が得られた。なお2 K Ω 以下で急激に位相雑音が劣化しているのは、アップコンバージョンゲインが上がったためである（前記文献1参照）。従って抵抗値は本発明負性抵抗形発振器の応用として、MMIC（Monolithic Microwave Integrated Circuit）化発振器がある。本発明では、適当な抵抗と容量を共振器の端に接続するだけで位相雑音を低減できるので、IC化に適している。これにより小型・

【図面の簡単な説明】

【図1】本発明による負性抵抗素子発振器の原理図であ*

＊る。

【図2】本発明による負性抵抗素子発振器の実施例を示す。

【図3】本発明による位相雑音低減効果を示す図である。

【図4】従来の技術の構成例である。

【符号の説明】

10 負性抵抗回路

12 伝送線路

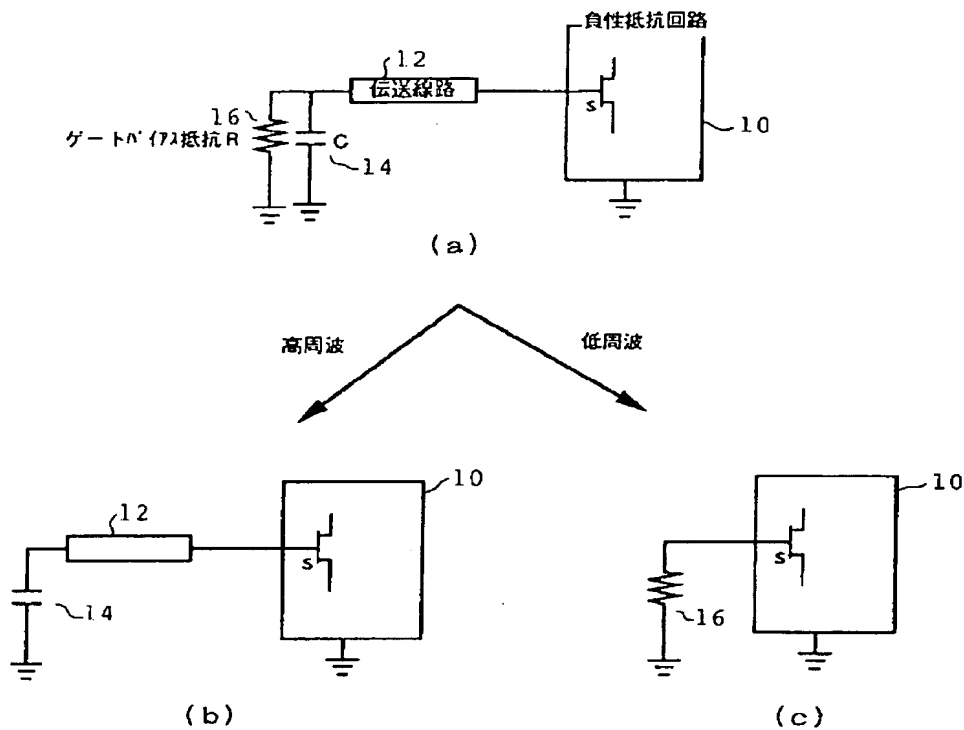
14 静電容量

16 抵抗

20 電界効果トランジスタ

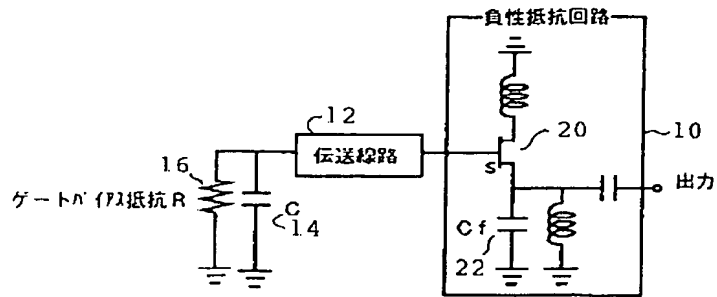
22 静電容量

【図1】



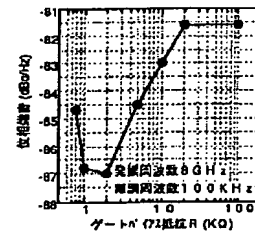
本発明による負性抵抗素子発振器の原理図

【図2】



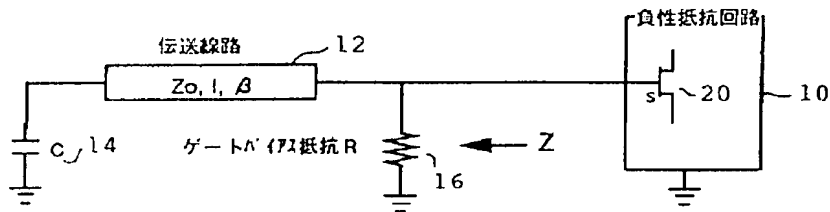
本発明による負性抵抗素子発振器の実施例

【図3】



本発明による負性抵抗素子発振器による位相遅延の低減例

【図4】

従来の電界効果トランジスタを用いた
負性抵抗素子発振器の構成例